

【特許請求の範囲】

【請求項 1】 外部から入力されたアナログビデオ信号の 1 フレーム期間のデータを発光回数の違いによって重み付けした複数のビットフレームに分解し、信号に応じてマトリクス状に配列された各画素毎にビットフレームを選択するようにした画像表示のための時分割信号処理方式において、

順次入力される該アナログビデオ信号を複数階調ビットの並列デジタル信号に変換し、各階調ビットを複数のメモリブロックに分割して書き込むとともに、画面位置または時間毎に各ビットと書き込むメモリブロックの割り当てを並び替え、該複数の各メモリブロックから画面位置または時間の異なる同一階調ビットのデータを読み出すことにより、ビットフレームに分解することを特徴とする時分割信号処理方式。

【請求項 2】 請求項 1 記載の時分割信号処理方式において、

前記並列デジタル信号の階調ビット数、画面分割数、並び替えに対応するメモリブロック数を 1 : 1 : 1 に対応させることを特徴とする時分割信号処理方式。

【請求項 3】 請求項 1 記載の時分割信号処理方式において、

前記並列デジタル信号の階調ビット数が、画面分割数及び並び替えに対応するメモリブロック数よりも少ないことを特徴とする時分割信号処理方式。

【請求項 4】 請求項 1, 2 または 3 記載の時分割信号処理方式において、

前記並列デジタル信号の各階調ビットを夫々、並び替えに対応する各メモリブロックに 1 : 1 で書き込むことを特徴とする時分割信号処理方式。

【請求項 5】 請求項 1, 2 または 3 記載の時分割信号処理方式において、

前記並列デジタル信号の各階調ビットを夫々、並び替えに対応する各メモリブロックに 2 : 1 で書き込むことを特徴とする時分割信号処理方式。

【請求項 6】 請求項 1, 2, 3, 4 または 5 記載の時分割信号処理方式において、

前記各メモリブロックの書込アドレスが同一で、かつ読出アドレスが異なることを特徴とする時分割信号処理方式。

【請求項 7】 請求項 1, 2, 3, 4 または 5 記載の時分割信号処理方式において、

前記各メモリブロックの書込アドレスが異なり、かつ読出アドレスが同一であることを特徴とする時分割信号処理方式。

【請求項 8】 請求項 1 ~ 7 のいずれか 1 つに記載の時分割信号処理方式を用い、前記アナログビデオ信号を発光回数の違いによって重み付けしたビットフレームに分解し、信号に応じてマトリクス状に配列された各画素毎にビットフレームを選択することにより、画像表示を行

なうことを特徴とするマトリクスディスプレイ装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、マトリクス状に配置された画素を選択発光させることによって画像表示を行なうディスプレイ装置に係り、特に、プラズマディスプレイなどの時分割駆動法による階調制御を行なうための時分割信号処理方式及びそれを用いたマトリクスディスプレイ装置に関する。

10 【0002】

【従来の技術】以下、時分割駆動法によって階調制御を行なうマトリクスディスプレイ装置としてプラズマディスプレイ装置を例に採り、従来技術を説明する。

【0003】図 2 は AC 型のプラズマディスプレイ装置の概略構成を示すブロック図であって、1 は表示パネル、2 はアドレス電極、3 は走査・維持電極、4 は維持電極、5 はアドレス駆動回路、6 は走査・維持パルス出力回路、7 は維持パルス出力回路、8 は駆動制御回路、9 は信号処理回路である。

20 【0004】同図において、プラズマディスプレイ装置は、アドレス電極 2、走査・維持電極 3 及び維持電極 4 を有する表示パネル 1 と、アドレス電極 2 を駆動するためのアドレス駆動回路 5 と、走査・維持電極 3 を駆動するための走査・維持パルス出力回路 6 と、維持電極 4 を駆動するための維持パルス出力回路 7 と、これら出力回路 6, 7 を制御する駆動制御回路 8 と、入力信号の処理を行なう信号処理回路 9 とを備えている。

30 【0005】ここで、表示パネル 1 は、2 枚のガラス板の間にアドレス電極 2 と走査・維持電極 3 と維持電極 4 とが設けられ、また、これらガラス板に挟まれた空間が隔壁によって仕切られ、仕切られた夫々の空間が放電セルを構成している。

40 【0006】この放電セルには、例えば、He-Xe や Ne-Xe のような希ガスが封入されており、走査・維持電極 3 と維持電極 4 とに電圧を加えると、放電が起こって紫外線が発生する。また、夫々の放電セルには、赤、緑、青のいずれかに発光する蛍光体が塗布されており、上記のように発生した紫外線により、この蛍光体が励起してこの蛍光体に応じた色光を発光する。この発光

【0007】次に、かかる発光原理を用いた時分割駆動法（以下、サブフィールド法）について説明する。

【0008】サブフィールド法とは、1 フレームを発光回数の違いによって重み付けされた複数のサブフィールドに分割し、画素毎にそこでの信号の振幅に応じたサブフィールドを選択することにより、多階調化を実現する方法である。

50 【0009】図 3 はその一例を示す図であって、このの

3

時分割駆動法による駆動シーケンスは、1フレームを4つのサブフィールドSF1～SF4に分割して16階調を表示する場合の例である。各サブフィールドの走査期間T1はこのサブフィールドでの発光する放電セル（以下、発光セルという）を選択するための期間であり、維持期間T2はこの選択された発光セルが発光している期間である。

【0010】サブフィールドSF1～SF4の放電維持期間T2は選択された発光セルが発光する時間を表わし、夫々は8:4:2:1の比率で発光回数に重み付けされている。映像信号レベルに応じてこれらのサブフィールドSF1～SF4のいずれかを任意に選択することにより、 $2^4=16$ 階調の表示が可能となる。階調数を増やしたい場合には、サブフィールド数を増やせばよく、例えば、サブフィールド数を8とすると、 $2^8=256$ 階調の表示が可能となる。各サブフィールドの輝度レベルはパルスの数によって制御する。

【0011】図4はかかるサブフィールド法を用いて画面表示を行なう場合の図2における信号処理回路9の一例を具体的に記したブロック図であって、10はA/D（アナログ/デジタル）変換器、11はデータ書き込処理回路、12はフレームメモリ、13はメモリ制御回路、14はデータ読出処理回路であり、図2に対応する部分には同一符号をつけている。

【0012】同図において、入力されたアナログ映像信号Sは、A/D変換器10でサンプリングクロック ϕ を用いてデジタルデータに変換された後、データ書き込処理回路11で処理されてフレームメモリ12に書き込まれる。そして、フレームメモリ4から読み出されたこのデジタルデータは、データ読出処理回路14で処理されてアドレス駆動回路5に供給される。

【0013】A/D変換器10で各サンプル点（画素信号）が複数階調ビット（bit）に変換されたデジタルデータは、その階調ビットが並列にフレームメモリ12に同時に書き込まれる。そして、1フレーム分のデジタルデータが書き込まれると、フレームメモリ12からは、これら各デジタルデータの、例えば、同じ最上位の階調ビットが順に読み出され、この階調ビットの読出しが終わると、これらデジタルデータの次に上位の階調のビットが順に読み出され、以下、順に同じ順位の階調のビットが読み出されて、いわゆるビットフレーム単位で処理される。この場合、読み出された階調ビットが“1”ビットか“0”ビットかに応じて、この階調ビットに対応した放電セルを発光させるか否かを決定し、また、この階調ビットが表わす階調に対応したサブフィールドが割り当てられる。

【0014】これを図5及び図6を用いてさらに具体的に説明する。いま、入力されるアナログビデオ信号Sの画素信号を、図3に合わせて、16階調を表わす4階調ビットのデジタルデータに変換するものとし、各デジ

4

タルデータの各階調ビット（bit）をその最上位ビットから順に0, 1, 2, 3とする。A/D変換器10から出力される各デジタルデータは、階調ビット0, 1, 2, 3の並列データである。

【0015】一方、フレームメモリ12は、図5に示すように、4個のRAM1, 2, 3, 4からなり、RAM1にデジタルデータの最上位の階調ビット0が、RAM2に次に上位の階調ビット1が、RAM3にさらに次に上位の階調ビット2が、RAM4に最下位の階調ビット3が夫々書き込まれる。同じデジタルデータの4個の並列に配列されて入力される各順位の階調ビット0, 1, 2, 3は、夫々のRAM1, 2, 3, 4に同時に書き込まれる。ここで、RAM1に最上位の階調ビット0が、RAM2に次に上位の階調ビット1が、RAM3にさらに次に上位の階調ビット2が、RAM4に最下位の階調ビット3が夫々書き込まれる。

【0016】かかるフレームメモリ12からの読出しは、図6に示すように行なわれる。なお、同図において、Pmbitn（但し、m, n=0, 1, 2, 3）はブロックPmの階調ビットnを表わしている。

【0017】図6において、まず、RAM1からデジタルデータの最上位の階調ビット0が直列に読み出される。次に、RAM2から次に上位の階調ビット1が直列に読み出され、次に、RAM3から次に上位の階調ビット2が直列に読み出され、最後に、RAM4から最下位の階調ビット3が直列に読み出される。

【0018】いま、RAM1から1ライン分のデジタルデータの最上位の階調ビット0が読み出され、これらが、図4において、アドレス駆動回路5に格納されたとする。図2において、アドレス電極2は1ラインでの各画素に対応しており、このため、アドレス駆動回路5に格納された各階調ビット0は夫々、異なるアドレス電極2と対応している。そして、いま、ある階調ビット0が、例えば、“1”ビットであるとする、この階調ビット0に対応するアドレス電極2に連なる放電セルは発光セルとして選択され、また、“0”ビットの階調ビット0に対応するアドレス電極2に連なる放電セルは非発光セルとして選択される。

【0019】また、このとき、駆動制御回路8の制御のもとに、走査・維持パルス出力回路6は、アドレス駆動回路5に供給された階調ビット0がどのラインのものであるかに応じて対応する走査・維持電極3を選択して有効とする。また、アドレス駆動回路5に供給された階調ビットが最上位の階調ビット0であることから、駆動制御回路8は図3における発光回数が最も多いサブフィールドSF1での動作期間であるとし、走査・維持パルス出力回路6と維持パルス出力回路7とを制御して、このサブフィールドSF1に応じた維持パルスを選択して走査・維持電極3と維持電極4とに供給する。これにより、この選択された走査・維持電極3での発光セルとし

10

20

30

40

50

て選択された放電セルでこのサブフィールドSF1で規定される回数発光させる。

【0020】1フレームの全てのラインの階調ビット0についてかかる動作が終わると、次に、図6に示すように、同じフレームの各ラインについて、次に上位の階調ビット1の読出しがRAM2から行なわれ、この場合、サブフィールドSF2として同様の動作が行なわれる。以下同様に、RAM3、4の階調ビット2、3について、サブフィールドSF3、4として、同様の動作が行なわれる。

【0021】以上のようにして、1フレームでの全てのラインのデジタルデータの全ての階調ビットが読み出されて、サブフィールドSF1～SF4での発光動作が行なわれるが、この動作期間がビデオ信号の1フレーム期間であり、この1フレーム期間で最大の階調を表わす画素の放電セルでは、サブフィールドSF1～SF4の全てで発光セルとして選択されるし、また、次に高い階調を表わす画素の放電セルでは、サブフィールドSF1～SF3で発光セルとして選択される。このようにして、16階調の表示が可能となる。

【0022】なお、1フレームでの同じ順位の階調ビット（例えば、階調ビット0）の集まりをビットフレームという。上記の例は、1フレームの画像データを4階調のビットフレームに分解して表示のための処理するものである。

【0023】

【発明が解決しようとする課題】ところで、上記従来技術では、フレームメモリ12で4ビット並列デジタルデータが書き込まれて直列データとして読み出されるから、フレームメモリ12からの読出し時は、書込み時の1/4倍のバス幅となり、その書込周波数に対して4倍の読出周波数が必要になる。また、同じ順位の階調ビットを複数ずつ並列に読み出すようにすれば、フレームメモリ12の読出周波数を低減することができるのであるが、各階調ビット毎に複数個ずつメモリを必要とする。例えば、同じ順位の階調ビットをn個（但し、nは2以上の整数）ずつ並列に読み出すとすると、夫々の階調ビット毎にn個ずつ（例えば、RAM1がn個）必要となり、使用するRAMの個数がn倍となる。

【0024】本発明の目的は、かかる問題を解消し、メモリの動作速度を上げずに、ビットフレームに分解して高解像化及び多階調化を実現することができるようにした時分割信号処理方式及びそれを用いたマトリクスディスプレイ装置を提供することにある。

【0025】

【課題を解決するための手段】上記の目的を達成するために、本発明では、A/D変換器によってデジタル変換された複数階調ビットのデジタルデータを夫々複数のメモリに書き込む際、この階調ビットを持つデジタルデータの画面位置または時間に応じて、各階調ビットを書き

込むメモリの割り当てを並び替える。その結果、複数のメモリから同時に同一ビットのデータだけを読み出すことが可能となる。つまり、複数のメモリから同時に読出しを行なうことができるので、メモリの動作速度を上げずにビットフレームに分解することが可能となる。

【0026】

【発明の実施の形態】以下、プラズマディスプレイ装置を例にして、本発明の実施形態を図面を用いて説明する。

10 【0027】図1は本発明による時分割多重信号処理方式及びそれを用いたマトリクスディスプレイ装置の第1の実施形態を示すブロック図であって、15、16はシフトマシックス回路、17はラインメモリ、18はシフトマトリクス制御回路であり、図4に対応する部分には同一符号をつけて重複する説明を省略する。

【0028】同図において、A/D変換器10から出力される並列階調ビットのデジタルデータは、シフトマトリクス回路15に供給される。このシフトマトリクス回路15は、シフトマトリクス制御回路18の制御信号に従って、各階調ビットをその画面位置に応じてフレームメモリ12を構成する複数のRAMのいずれかに割り当て、メモリ制御回路13の制御信号に従って、フレームメモリ12の割り当てられたRAMに各階調ビットが書き込まれる。

【0029】また、この書込みと並行して、この書込みが行なわれていないフレームメモリ12のRAM領域から、メモリ制御回路13の制御信号に従って、サブフィールド毎に順次階調ビットの読出しが行なわれる。読み出された階調ビットはシフトマトリクス回路16によって再び並び替えられ、アドレス駆動回路5に適した形でラインメモリ17に書き込まれる。ラインメモリ17に書き込まれた各階調ビットは、アドレス駆動回路5の駆動タイミングに従って、読み出され、アドレス駆動回路5に供給される。これ以降は、図4などで説明した従来技術と同様である。

【0030】次に、この実施形態をさらに詳細に説明する。いま、図7に示すように、XGA（1024×768画素）のビデオ信号を例とし、画面を水平方向に4個のブロックP0、P1、P2、P3に（即ち、1024÷4=256画素毎に）分割するものとする。但し、赤、緑、青の各デジタルデータは各色並列に同じ処理が行なわれる。

【0031】シフトマトリクス制御回路18では、水平同期信号HS、垂直同期信号VS及びA/D変換器10に用いるサンプリングクロックφを用いて、水平方向のデジタルデータ数（画素数）をカウントし、この画面分割数に応じた制御信号を発生する。この場合、水平1024画素を4分割しているので、水平期間内で256画素分をカウントし、制御信号を発生する。即ち、水平同期信号HSが入力されたタイミングからサンプリングク

7

ロックφをカウント開始するカウンタ回路を用い、そのカウント値が256となる（即ち、このサンプリングクロックφの周期の256倍の期間）毎に反転するタイミング信号ST1と、カウント値が512となる（即ち、このサンプリングクロックφの周期の512倍の期間）毎に反転するタイミング信号ST2を発生する。シフトマトリクス回路15は、これらタイミング信号ST1、ST2に応じて、供給される階調ビットをフレームメモリ12の適宜のRAM領域に割り当てる。

【0032】図8は図1におけるシフトマトリクス回路15とフレームメモリ12の一具体例を示す構成図であって、15a～15dはセクタであり、図1に対応する部分には同一符号をつけている。

【0033】同図において、この具体例では、フレームメモリ12が4個のRAM1～4からなり、これに伴って、シフトマトリクス回路15が4個のセクタ15a～15dからなるものとしている。これらセクタ15a～15dがシフトマトリクス制御回路18からのタイミング信号ST1、ST2によって制御される。

【0034】セクタ15aの可動接点A、B、C、Dには夫々デジタルデータの階調ビット0、1、2、3が供給され、セクタ15bの可動接点A、B、C、Dには夫々デジタルデータの階調ビット1、2、3、0が供給され、セクタ15cの可動接点A、B、C、Dには夫々デジタルデータの階調ビット2、3、0、1が供給され、セクタ15dの可動接点A、B、C、Dには夫々デジタルデータの階調ビット3、0、1、2が供給される。また、これらセクタ15a、15b、15c、15dの固定接点は夫々、RAM1、2、3、4に接続されている。

【0035】そこで、いま、図7に示すブロックP0において、セクタ15a、15b、15c、15dが可動接点A側に閉じているとすると、このブロックP0での256個のデジタルデータの階調ビット0がセクタ15aで選択されてRAM1に書き込まれ、また、この256個のデジタルデータの階調ビット1はセクタ15bで選択されてRAM2に、同じく階調ビット2はセクタ15cで選択されてRAM3に、同じく階調ビット3はセクタ15dで選択されてRAM4に夫々書き込まれる。

【0036】次に、図7に示すブロックP1になると、セクタ15a、15b、15c、15dが可動接点B側に切り換わり、このブロックP1での256個のデジタルデータの階調ビット1はセクタ15aで選択されてRAM1に書き込まれ、また、同じく階調ビット2はセクタ15bで選択されてRAM2に、同じく階調ビット3はセクタ15cで選択されてRAM3に、同じく階調ビット0はセクタ15dで選択されてRAM4に夫々書き込まれる。

【0037】以下、ブロックP2、P3となる毎にセレ

8

クタ15a、15b、15c、15dが可動接点c、dの順に切り換わり、RAM1、2、3、4に割り当てられる順位の階調ビットをブロックP0～P3毎にずられていく。

【0038】これにより、図9に示すように、RAM1には、ブロックP0、P1、P2、P3毎に256個のデジタルデータずつの階調ビット0、1、2、3がその順で書き込まれ、以下、同じローテーションとして、RAM2には、階調ビット3、0、1、2の順で、RAM3には、階調ビット2、3、0、1の順で、RAM4には、階調ビット1、2、3、0の順で夫々書き込まれる。そして、かかる動作が1ライン毎に繰り返される。

【0039】以上の書き込みは、読み出したい順位の階調ビットをこれらRAM1～4から同時に読み出せるようにするものである。

【0040】図10は以上のように書き込みが行なわれるフレームメモリ12のアドレスマップを示す図である。

【0041】上記のように、画面を水平方向に分割したブロックP0～P3毎に書込アドレスをローテーションして、各RAM1～4に書き込みを行なう場合、1ラインで1024画素、デジタルデータは4階調ビットであるから、各RAM1～4での1ライン分の階調ビットを記憶するに要する容量は、

$$1024 \times 4 \div 4 = 1024 \text{ ビット分}$$

であるから、各RAM～4での1ブロック分の階調ビットを記憶するに要する容量は、 $1024 \div 4 = 256$ ビット分である。

【0042】いま、図10において、垂直方向の1アドレス分が1ライン分の全階調ビットを格納するものとする、各RAM1～4では、水平アドレス領域としては、1024ビット分のアドレスであるから、000h～3FFh（但し、hは16進数であることを表わす）であり、かかる領域の1/4ずつに各ブロックの階調ビットが書き込まれることになる。

【0043】即ち、図9に示したように書き込みがなされた場合、ブロックP0の256個のデジタルデータの階調ビット0（P0b0）は、RAM1の水平アドレス000h～0FFhに書き込まれ、ブロックP0の階調ビット1（P0b1）は、RAM4の水平アドレス100h～1FFhに書き込まれ、ブロックP0の階調ビット2（P0b2）は、RAM3の水平アドレス200h～2FFhに書き込まれ、ブロックP0の階調ビット3（P0b3）は、RAM2の水平アドレス300h～3FFhに書き込まれる。このように、同じブロックの階調ビットであっても、各RAM1～4では、異なるアドレス領域に書き込まれる。

【0044】次に、ブロックP1の256個のデジタルデータについては、階調ビット0（P1b0）は、RAM2の水平アドレス000h～0FFhに書き込まれ、階調ビット1（P1b1）は、RAM0の水平アドレス

10

20

30

40

50

100h~1FFhに書き込まれ、階調ビット2 (P1b2) は、RAM4の水平アドレス200h~2FFhに書き込まれ、階調ビット3 (P1b3) は、RAM3の水平アドレス300h~3FFhに書き込まれる。

【0045】ブロックP2の256個のデジタルデータについては、階調ビット0 (P2b0) は、RAM3の水平アドレス000h~0FFhに書き込まれ、階調ビット1 (P2b1) は、RAM2の水平アドレス100h~1FFhに書き込まれ、階調ビット2 (P2b2) は、RAM1の水平アドレス200h~2FFhに書き込まれ、階調ビット3 (P2b3) は、RAM4の水平アドレス300h~3FFhに書き込まれる。

【0046】ブロックP3の256個のデジタルデータについては、階調ビット0 (P3b0) は、RAM4の水平アドレス000h~0FFhに書き込まれ、階調ビット1 (P3b1) は、RAM3の水平アドレス100h~1FFhに書き込まれ、階調ビット2 (P3b2) は、RAM2の水平アドレス200h~2FFhに書き込まれ、階調ビット3 (P3b3) は、RAM1の水平アドレス300h~3FFhに書き込まれる。

【0047】このように、各ブロック毎にローテーションを行ないながら、各階調ビットの書き込みを行ない、各ラインについては、垂直アドレスをインクリメントしながら、同様に書き込みを行なう。

【0048】この結果、図10から明らかなように、各RAM1~4の同じ垂直アドレスにおいて、水平アドレス000h~0FFhの領域には夫々、同じラインの各ブロックP0~P3の階調ビット0が書き込まれ、次の水平アドレス100h~1FFhには夫々、同じラインの各ブロックP0~P3の階調ビット1が書き込まれ、次の水平アドレス200h~2FFhには夫々、同じラインの各ブロックP0~P3の階調ビット2が書き込まれ、次の水平アドレス300h~3FFhには夫々、同じラインの各ブロックP0~P3の階調ビット3が書き込まれることになり、このようにして、各RAM1~4の同じアドレスに各ブロックP0~P3の同じ階調ビットが書き込まれることになる。

【0049】そこで、かかるRAM1~4に同一の読出アドレス(同じ水平、垂直アドレス)を与えると、これらから異なるブロックP0~P3での同じ順位の階調ビットが同時に読み出される。即ち、図11に示すように、各RAM1~4から、異なるブロックP0~P3の同じ順位の階調ビットが並列に読み出されることになる。そこで、図3で説明したようなサブフィールドSF1~SF4について、サブフィールドSF1に対しては階調ビット0を読み出すようにし、サブフィールドSF2に対しては階調ビット1を読み出すようにし、サブフィールドSF3に対しては階調ビット2を読み出すようにし、サブフィールドSF4に対しては階調ビット3を読み出すようにする。

【0050】但し、図11から明らかなように、各サブフィールドの読出し毎に、RAM1~4から読み出される階調ビットのブロックが異なる。即ち、RAM1についてみると、サブフィールドSF1に対する読出しに際しては、ブロックP0の階調ビット0が読み出されるのであるが、次のサブフィールドSF2に対する読出しに際しては、ブロックP0ではなく、ブロックP1の階調ビット1が読み出される。このように、ブロックの配列順序が変わるため、そのままではアドレス駆動回路5に供給することができない。

【0051】シフトマトリクス回路16は、このブロックの配列を変換して常に同じ順序でブロックP0~P3を配列されるようにするためのものであり、このように配列が変換された階調ビットは、アドレス駆動回路5に合わせた形で、ラインメモリ17に書き込まれる。赤、緑、青の各デジタルデータは、かかる処理が並行して行なわれるが、各色毎の入出力を持たないアドレス駆動回路5の場合には、赤、緑、青の各デジタルデータの混合が必要になる。ラインメモリ17に書き込まれた階調ビットはメモリ制御回路13の制御のもとに読み出され、アドレス駆動回路5に供給される。以下は、上記従来技術と同様に、アドレス駆動回路5に供給された階調ビットに応じて発光セルが選択され、この発光セルがこの階調ビットに応じた回数発光する。

【0052】このようにして、フレームメモリ12でのRAM数を、従来と同様の4個として、同じ順位の階調ビットを4個ずつ並列にフレームメモリ12から読み出すことができ、従って、フレームメモリ12でのRAMの使用個数を増大化させることなく、読出しの動作速度を低減することができ、ビットフレームに容易に分解して処理することができる。

【0053】以上の説明から明らかなように、フレームメモリ12を構成するRAMの個数はフレームメモリ12から読み出される並列階調ビット数を決めるものであり、画面分割数はこのRAMの個数に等しく設定される。A/D変換器10からのデジタルデータの階調ビット数が一定であれば、画面分割数が大きいほど、フレームメモリ12の読出し動作速度が低くなる。

【0054】次に、本発明の時分割信号処理方式及びそれをを用いたマトリクスディスプレイ装置の第2の実施形態について説明する。

【0055】この第2の実施形態は、その回路構成が図1に示すのと同様であるが、ここでは、VGA(640×480画素)の入力ビデオ信号SをA/D変換器10で6階調ビット0~5のデジタルデータ(但し、この場合も、階調ビット0が最上位ビットとする)に変換し、また、図12に示すように、画面を水平方向に8個のブロックP0~P7に分割するものとする。従って、フレームメモリ12を構成するRAMの個数も、この画面分割数に等しく8個とする。即ち、先の第1の実施形態で

10

20

30

40

50

は、A/D変換によるデジタルデータの階調ビット数と画面分割数とフレームメモリ12を構成するRAMの個数とを等しくしたが、この第2の実施形態では、デジタルデータの階調ビット数を画面分割数よりも、従って、フレームメモリ12を構成するRAMの個数よりも小さくするものである。

【0056】図1において、シフトマトリクス制御回路18は、上記と同様にして、この画面の分割数に応じたタイミング信号を発生する。この場合、1ブロックは640÷8=80画素であるから、このタイミング信号は、サンプリングクロックφを夫々80、160、320カウントする毎に反転する3種類の信号である。

【0057】かかるタイミング信号により、シフトマトリクス回路15は、図13に示すように、A/D変換器10からのデジタルデータの各階調ビット0～5をフレームメモリ12の各RAMに割り当てる。フレームメモリ12は、上記のように、8個のRAM1～8からなり、ブロックP0では、各デジタルデータの階調ビット0をRAM1に、階調ビット1をRAM8に、階調ビット2をRAM7に、階調ビット3をRAM6に、階調ビット4をRAM5に、階調ビット5をRAM4に夫々割り当て、RAM2、3には何も割り当てない。次のブロックP1では、各デジタルデータの階調ビット0をRAM2に、階調ビット1をRAM1に、階調ビット2をRAM8に、階調ビット3をRAM7に、階調ビット4をRAM6に、階調ビット5をRAM5に夫々割り当て、RAM3、4には何も割り当てない。このようにして、以下、ブロックP2、P3、……毎に各階調ビットをローテーションして各RAM1～8に割り当てる。

【0058】この場合も、かかる階調ビットの書込みは、その読出しを行なう場合に、各RAM1～8に同一アドレス与えることによって同一順位の階調ビットが読み出されるように、書込アドレスをローテーションして行なわれる。以下、この点について説明する。

【0059】いま、説明の便宜上、各RAM1～8の夫々の記憶領域が前から順に領域1、2、3、……、6と6分割されているとすると、図13において、RAM1では、この領域1、2、3、……、6の順に、ブロックP0での階調ビット0が領域1に、ブロックP1での階調ビット1が領域2に、ブロックP2での階調ビット2が領域3に、……、ブロックP5での階調ビット5が領域6に夫々書き込まれるが、RAM2では、ブロックP0での書込みが行なわれず、次のブロックP1での階調ビット0が領域1に、ブロックP2での階調ビット1が領域2に、……、ブロックP6での階調ビット5が領域6に夫々書き込まれる。同様にして、RAM3では、領域1にブロックP2の階調ビット0が書き込まれ、以下順に、ブロックP3、P4、……の階調ビット1、2、……が領域2、3、……に書き込まれる。

【0060】そして、RAM4では、まず、ブロックP

0の階調ビット5の書込みが行なわれるが、これは最後の領域6に書き込まれ、ブロックP1、2を通過した後、ブロックP3の階調ビット0から領域1、2、3、……の順に書き込まれる。RAM5では、まず、ブロックP0の階調ビット4とブロックP1の階調ビット5とが夫々領域5、6に書き込まれ、ブロックP2、P3を通過した後、ブロックP4での階調ビット0から領域1、2、3、……の順に書き込まれる。RAM6、7、8についても、同様にして、図13に示すように書込みが行なわれる。

【0061】かかるメモリ割り当てによる書込みが行なわれることにより、RAM1、2、3、……、8においては、その領域1に夫々異なるブロックの階調ビット0が書き込まれ、領域2に階調ビット1が、領域3に階調ビット2が、……、領域6に階調ビット5が夫々書き込まれることになる。即ち、各RAM1、2、3、……、8の同じアドレスに同じ順位の階調ビットが書き込まれていることになる。

【0062】図14はかかる書込みが行なわれたフレームメモリ12のアドレスマップを示すものであって、各RAM1～8の上記領域1は水平アドレス000h～04Fhの領域であり、領域2は水平アドレス050h～09Fhの領域であり、領域3は水平アドレス0A0h～0EFhの領域であり、……、領域6は水平アドレス190h～1DFhの領域である。垂直方向1アドレスの平面に1ライン分のデジタルデータが書き込まれており、この平面の1領域中に80個のデジタルデータの同じ順位の階調ビットが書き込まれている。

【0063】図14から明らかなように、各RAM1～8の同じ領域（例えば、アドレス000h～04Fhの領域1）には、各ブロックP0～P7の同じ順位の階調ビット（例えば、この領域1の場合、階調ビット0）が記憶されている。そこで、アドレス000hから全てのRAM1～8で同じアドレス（即ち、同じ水平、垂直アドレス）を指定して読出しを行なうと、図15に示すように、先に第1の実施形態について図11に示したのと同様、各ブロックP0～P7の同じ順位の階調ビットが同時に読み出される。この場合も、読み出される階調ビットの順位が変わる毎に、各ブロックP0～P7の配列が変化するから、図1において、シフトマトリクス回路16で各ブロックP0～P7が図12に示す画像での配列順となるように、同時に読み出された階調ビットの配列関係が変換され、ラインメモリ17に書き込まれる。このラインメモリ17に書き込まれた階調ビットはメモリ制御回路13に従って読み出され、アドレス駆動回路5に供給される。

【0064】このようにして、この第2の実施形態においては、フレームメモリ12を構成するメモリ（RAM）数を増やすことにより、並列読出しのバス幅を広げることができて、読出しの動作速度をより低減すること

10

20

30

40

50

ができ、従って、動作速度を上げずにビットフレームに分解することが可能となる。

【0065】この第2の実施形態のように、フレームメモリ12に供給されるデジタルデータの階調ビット数が画面分割数よりも小さい場合には、フレームメモリ12の並列読出し階調ビット数がこのデジタルデータの階調ビット数よりも大きいから、先の第1の実施形態のようにこのデジタルデータの階調ビット数が画面分割数に等しい場合に比べ、フレームメモリ12の読出し動作速度を低減することができる。

【0066】図16は本発明による時分割信号処理方式及びそれを用いたマトリクスディスプレイ装置の第3の実施形態におけるフレームメモリでのデータ書込みを示す図である。

【0067】この第3の実施形態も、その回路構成は図1に示すものと同様であるが、A/D変換器10で得られるデジタルデータは並列8階調ビットのデータとする。この場合のフレームメモリ12を構成するRAMは4個としており、また、画面の水平方向の分割数を、図7と同様に、4個としており、かかるRAM1~4への階調ビットを図16が示している。即ち、この第3の実施形態では、デジタルデータの階調ビット数とフレームメモリ12を構成するRAM数との比率を2:1としたものである。

【0068】図16において、ブロックP0では、RAM1に階調ビット0, 1が、RAM4に階調ビット2, 3が、RAM3に階調ビット4, 5が、RAM2に階調ビット6, 7が夫々書き込まれる。また、次のブロックP1では、RAM2に階調ビット0, 1が、RAM1に階調ビット2, 3が、RAM4に階調ビット4, 5が、RAM3に階調ビット6, 7が夫々書き込まれる。以下同様にして、ブロックP2, P3の各階調ビットがRAM1~4に図示するように書き込まれる。

【0069】この場合のフレームメモリ12のアドレスマップは、図10に示したものと同様であるが、各RAM1~4の水平方向の容量が2倍となり、図示するように区分された各領域には、例えば、図10において、RAM1でのP0b0がP0b0, 1というように、2種類の異なる順位の階調ビットが書き込まれる。これを図17に示す。

【0070】図17において、各RAM1~4の水平アドレス000h~1FFhの領域の前半には、夫々のブロックの256個のデジタルデータの階調ビット0が、それに続いて後半に、同じく階調ビット1が書き込まれている。これらRAM1~4の他の水平アドレスの領域についても同様である。

【0071】かかる書込みがなされたフレームメモリ12からの読出しも、先の各実施形態と同様に、各RAM1~4に同じアドレスを与えることによって行なわれ、この結果、階調ビット0, 1, 2, ……の順に同じ順位

の階調ビットが4個ずつ並列に読み出されることになる。但し、この場合には、図10に示したフレームメモリにアドレスマップに比べ、記憶される階調ビット数が2倍となっているので、読出し動作速度は先の第1の実施形態の場合の2倍となる。しかし、これでも、同じ条件で先の従来技術の場合に比べ、読出し動作速度を低減することができる。従って、この第3の実施形態では、量子化ビット数が増えても、メモリの使用数を増やすことなく、ビットフレームに分解して処理することが可能となる。

【0072】以上、本発明の実施形態を説明したが、本発明では、一般に、フレームメモリ12をN個（但し、Nは2以上の整数）のRAMで構成した場合、このフレームメモリに画像のデジタルデータの階調ビットを書き込むに際し、各階調ビットのRAMへの書込み割り当てをそのデジタルデータの画面上での表示位置または時間に応じて行なうことにより、このフレームメモリ12から同じ順位の階調データをN個ずつ並列に読み出すことができ、この個数Nが大きいほどフレームメモリ12からの読出し動作速度を遅くすることができる。また、デジタルデータの階調ビット数Mが大きくなるほど、フレームメモリ12からの読出し動作速度も速くなるが、上記従来技術の場合に比べ、この読出し動作速度を遅く、さらに遅くするためには、フレームメモリ12を構成するRAMの個数Nを増加させればよい。

【0073】なお、以上説明した実施形態では、複数のRAMに同時に書き込む階調ビットの書込アドレスをこれらRAM毎に異ならせたが、同じ書込アドレスとしてもよい。但し、この場合には、各ブロックP1, P2, ……の同じ順位の階調ビットの書込みアドレスがRAM毎に異なるから、各ブロックP1, P2, ……の同じ順位の階調ビットを同時に並列に読み出すために、各RAMに同時に読出し指定するアドレスはRAM毎に異なることになる。

【0074】

【発明の効果】以上説明したように、本発明は、画面を水平方向に複数のブロックに分割し、分割したブロック毎に各階調ビットの並び替えを行なってフレームメモリに書き込むので、かかるフレームメモリから同じ順位の階調ビットを複数個ずつ読み出しを平行して行なうことができる。そのため、メモリの使用個数を増やすことなしに読み出しの動作速度を低減することが可能であり、容易に映像データを各階調ビットフレームに分解することができる。また、ローテーションして書き込みを行なうので、読み出し制御が簡単に行なうことができる。

【図面の簡単な説明】

【図1】本発明による時分割信号処理方式及びそれを用いたマトリクスディスプレイ装置の第1の実施形態を示すブロック図である。

【図2】従来のAC型プラズマディスプレイ装置の一例

10

20

30

40

50

を示すブロック図である。

【図3】図2に示した従来例の駆動シーケンスの一例を示す図である。

【図4】図2に示した従来例の信号処理回路を具体的に示したブロック図である。

【図5】図4におけるフレームメモリでのデータのメモリ割り当てを示す図である。

【図6】図4におけるフレームメモリからのデータ読出しを示す図である。

【図7】図1に示した第1の実施例に対する画面分割の一具体例を示す図である。

【図8】図1におけるフレームメモリのデータ書込のためのシフトマトリクス回路の一具体例を示す回路図である。

【図9】図1におけるフレームメモリでのデータのメモリ割り当てを示す図である。

【図10】図1におけるフレームメモリのアドレスマップの一具体例を示す図である。

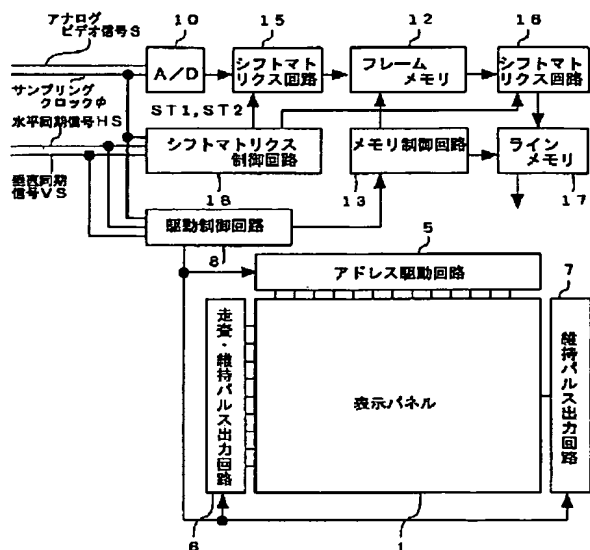
【図11】図1におけるフレームメモリからのデータ読出しを示す図である。

【図12】本発明による時分割信号処理方式及びそれを用いたマトリクスディスプレイ装置の第2の実施形態に対する画面分割の一具体例を示す図である。

【図13】本発明の第2の実施形態でのデータのフレー

【図1】

【図1】



ムメモリへの割り当てを示す図である。

【図14】図13に示した割り当てによるフレームメモリのアドレスマップの一具体例を示す図である。

【図15】図14に示したフレームメモリからのデータ読出しを示す図である。

【図16】本発明による時分割信号処理方式及びそれを用いたマトリクスディスプレイ装置の第3の実施形態でのデータのフレームメモリへの割り当てを示す図である。

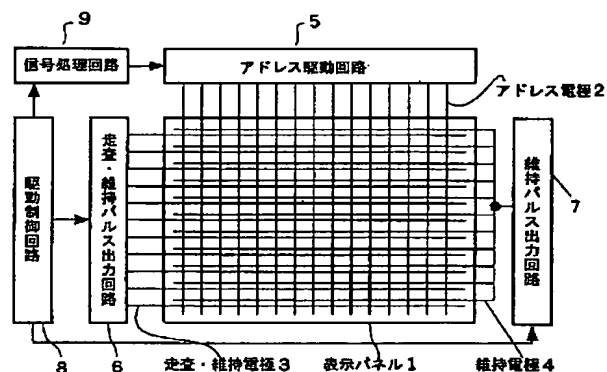
【図17】図16に示した割り当てによるフレームメモリのアドレスマップの一具体例を示す図である。

【符号の説明】

- 1 表示パネル
- 5 アドレス駆動回路
- 6 走査・維持パルス出力回路
- 7 維持パルス出力回路
- 8 駆動制御回路
- 10 A/D変換器
- 12 フレームメモリ
- 13 メモリ制御回路
- 15, 16 シフトマトリクス回路
- 17 ラインメモリ
- 18 シフトマトリクス制御回路

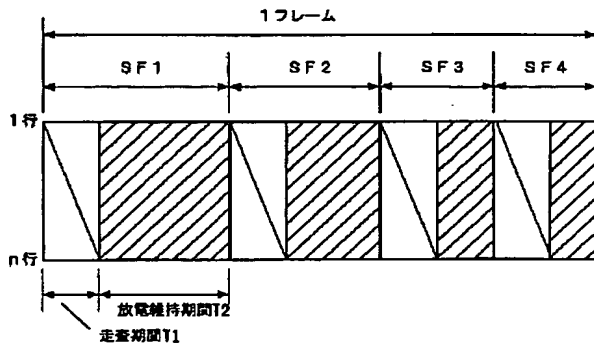
【図2】

【図2】



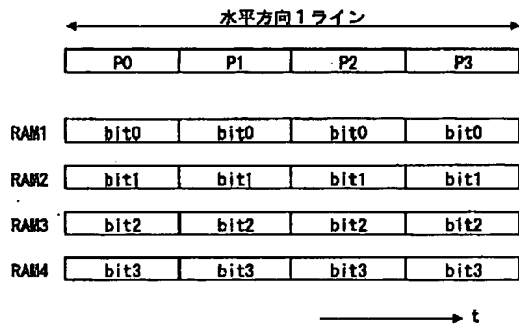
【図 3】

【図 3】

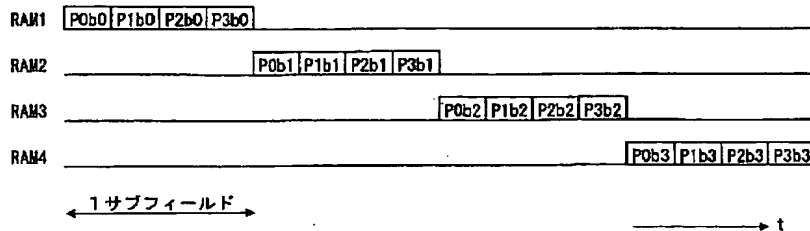


【図 5】

【図 5】

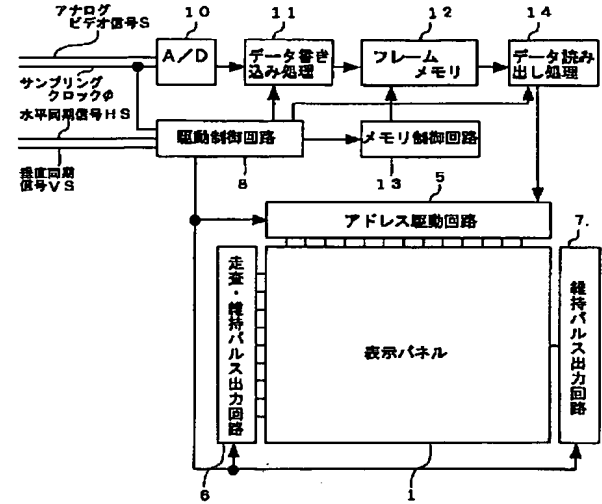


【図 6】



【図 4】

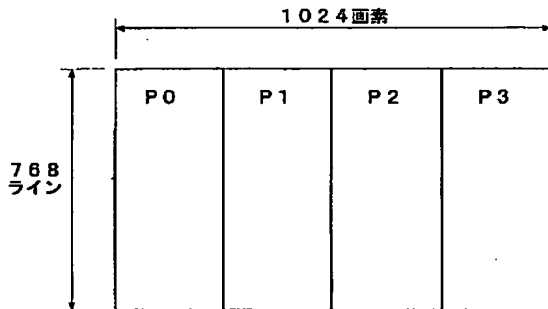
【図 4】



【図 6】

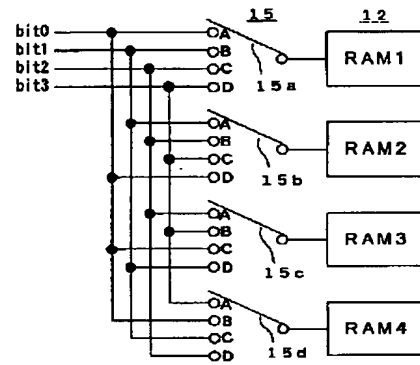
【図7】

【図7】



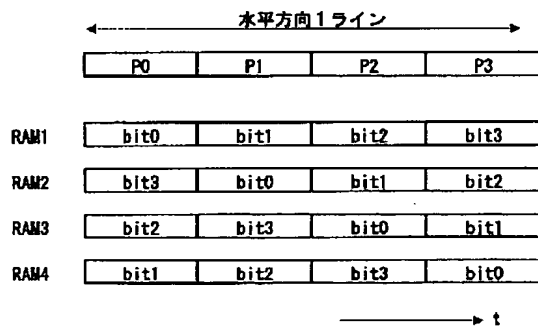
【図8】

【図8】



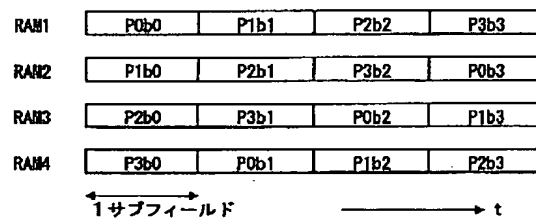
【図9】

【図9】



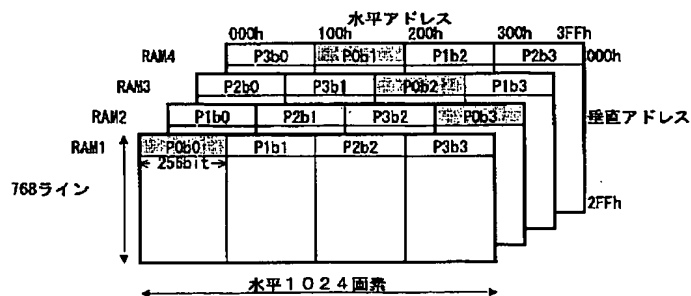
【図11】

【図11】



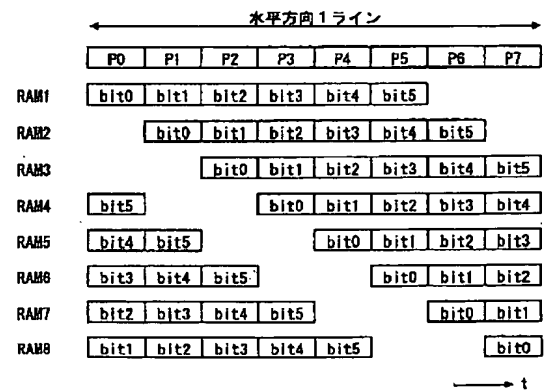
【図13】

【図10】



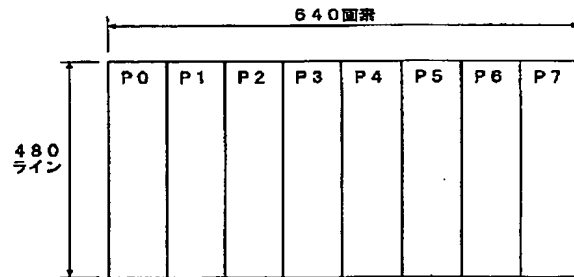
【図15】

【図15】



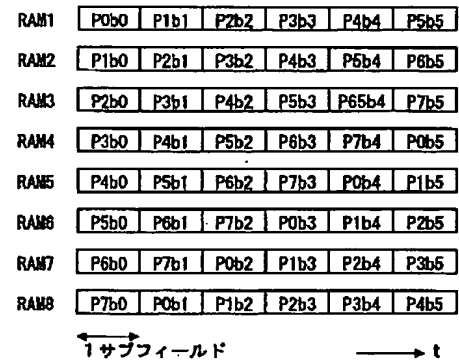
【図 1 2】

【図 1 2】



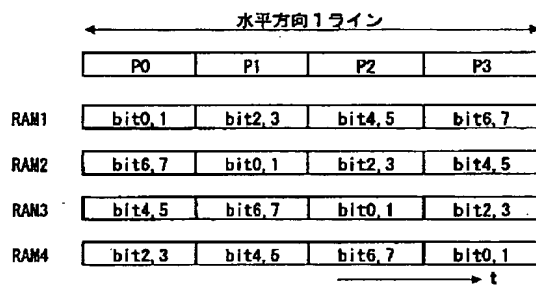
【図 1 5】

【図 1 5】



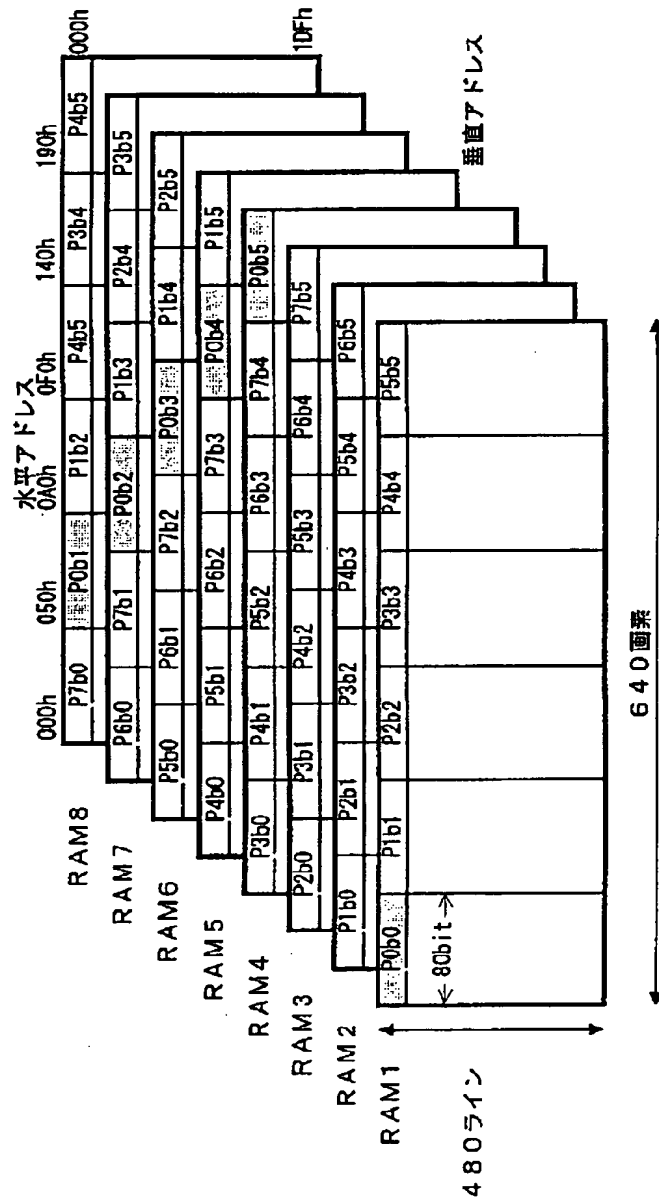
【図 1 6】

【図 1 6】



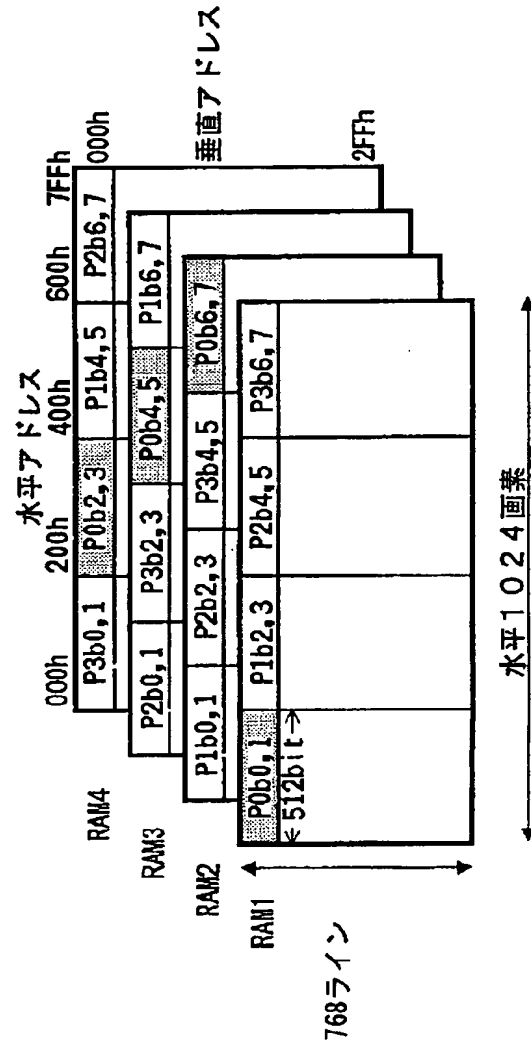
【図14】

【図14】



【図17】

【図17】



フロントページの続き

(72)発明者 大高 広
東京都千代田区神田駿河台四丁目6番地
株式会社日立製作所家電・情報メディア事
業部内

(72)発明者 野口 泰司
東京都千代田区神田駿河台四丁目6番地
株式会社日立製作所家電・情報メディア事
業部内

(72)発明者 鱸 章浩
神奈川県横浜市戸塚区吉田町292番地 株
式会社日立製作所マルチメディアシステム
開発本部内